


PATTERN LAYOUT OF THIN FILM TRANSISTOR WITH INCORPORATED PERIPHERAL CIRCUIT

Patent Number: JP2105115
Publication date: 1990-04-17
Inventor(s): OIKAWA SABURO; others: 04
Applicant(s): HITACHI LTD
Requested Patent:  JP2105115
Application Number: JP19880257190 19881014
Priority Number(s):
IPC Classification: G02F1/1345; H01L27/04; H01L27/12; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE:To reduce variance in switching speed by arranging a pattern so that the position of signal use thin film transistors (TFT) of one unit which are arranged alternately in two opposite signal TFTs at nearly equal distances from the center on a transparent insulating substrate.

CONSTITUTION:Adjacent signal switching TFTs 31-34 are arranged in left and right switching TFT groups 3 symmetrically about the center of the substrate 1, and the layout of them is so determined that the TFTs are at equal distances from the substrate center. Therefore, variance in thickness among the gate insulating films of the adjacent signal switching TFTs can be minimized, so the adjacent signal switching TFTs become nearly equal in switching speed. Consequently, picture elements of a liquid crystal display is prevented from having a line defect.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-105115

⑮ Int. Cl.³G 02 F 1/1345
H 01 L 27/04

識別記号

A

庁内整理番号

7370-2H
7514-5F
8624-5F

⑬ 公開 平成2年(1990)4月17日

H 01 L 29/78 3 1 1 A※

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 周辺回路内蔵薄膜トランジスタのパターンレイアウト

⑯ 特 願 昭63-257190

⑰ 出 願 昭63(1988)10月14日

⑱ 発 明 者 及 川 三 郎 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 小 野 記 久 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 北 島 雅 明 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 実 方 寛 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

周辺回路内蔵薄膜トランジスタのパターンレイアウト

2. 特許請求の範囲

1. 透明な絶縁基板上に、半導体薄膜トランジスタからなる画素領域と、該画素領域の一連の薄膜トランジスタを駆動する一単位の情報用薄膜トランジスタが交互に相対向する2つの領域に配置した信号用スイッチング領域と、走査用スイッチング領域から成る一対の液晶表示用薄膜トランジスタ装置が、該透明絶縁基板上に複数個配置した液晶表示用薄膜トランジスタのレイアウトにおいて、該対向する2つの信号用薄膜トランジスタ領域に交互に配置した一単位の情報用薄膜トランジスタの位置が、該透明な絶縁基板上的中心からほぼ等距離にあるようパターン配置したことを特徴とした周辺回路内蔵薄膜トランジスタのパターンレイアウト。

2. 特許請求の範囲第1項の一対の液晶表示用薄

膜トランジスタ装置が絶縁基板上に複数個の配置において、該一対のトランジスタ装置が、絶縁基板を中心として、対象に配置したことを特徴とした周辺回路内蔵薄膜トランジスタのパターンレイアウト。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、透過型液晶表示用の薄膜トランジスタ(TFT)に係り、特に、駆動回路を内蔵したTFTの動作の均一性向上に好適なパターンレイアウトに関する。

〔従来の技術〕

近年、ガラスなどの透明な絶縁基板上に、比較的低温で形成した半導体薄膜を用いて薄膜トランジスタ(以下TFTと略称する)を形成し、これを液晶駆動用スイッチング素子としたいわゆるアクティブマトリックス方式の液晶ディスプレイ用TFTの開発が活発に行なわれている。単結晶ほどではないが電界効果移動度が比較的高く、安定した薄膜半導体として多結晶シリコンを用いた

TFTは、高画質、高精細及び大画面化を実現しやすい半導体薄膜として非常に有望視されている。特に、電界効果移動度が非品質のシリコン薄膜より2桁以上も大きいので、同一基板内に駆動回路の内蔵が可能で、この構成でのTFTアクティブマトリックス基板の開発がより盛んに行われている。一般に、画素表示のための内蔵駆動回路としては走査側スイッチング回路と、信号側スイッチング回路に大別される。これらの回路はLCD用TFTの設計ルールに基づいて定められ、それぞれ帯状のブロックとして画素領域以外のTFT基板周辺に配置される。一方多結晶シリコンを用いたn-MOSFETではスイッチングスピードの点で走査側では引き出し端子の数が少なく(5本/mm)FPCリード接続には問題ないが、信号側においては、スイッチングスピードを走査側より早くしなければならないという要求から引き出し端子数(20本/mm)が増えFPCリード接続が不可能となっている。このため、信号側スイッチングTFT領域を基板周辺に対向して2分割としている

〔課題を解決するための手段〕

上記目的は、一対の液晶ディスプレイ用アクティブマトリックスTFT基板の信号側スイッチングTFT部の隣り合ったスイッチングTFTが基透明な絶縁基板の中心よりほぼ等距離になるようホトマスクにパターンをレイアウトすることで達成される。

〔作用〕

すなわち、発明者等の実験によれば、TFTの縦構造を形成する薄膜材料にはそれぞれその形成手法によつて膜厚分布があることがわかった。その分布の傾向は基板を中心としてリング状にほぼ連続的な分布を示している。特に、信号用スイッチングTFTのスピードばらつきに影響するゲート絶縁膜の膜厚分布は、基板中心が最も薄く、基板外周に向つてリング状に連続的に厚く形成される。この時の膜厚ばらつきは±数%である。例えば隣り合う信号用スイッチングTFTがそれぞれゲート絶縁膜ばらつきの最大最小近傍に形成されると隣り同志のTFTのスイッチングスピードに

る。となり合ったスイッチングTFTは交互に対向した信号側スイッチングTFT部に配分されている。またさらに、TFT基板の大きさと、基となる透明な絶縁基板の大きさにより、一対のTFTパターンを面積効率よく複数個収納した、すなわち、ホトマスク上に複数個の液晶表示用薄膜トランジスタ装置のパターンを設け、これらをプロセスにしたがい順次重ねTFT基板を製作するのが通常である。

〔発明が解決しようとする課題〕

以上のような従来技術には、薄膜トランジスタの縦構造すなわち、膜厚依存性時に、ゲート絶縁膜の基板面内分布と、信号側スイッチングTFT部の位置に配慮がされておらず、位置ずれによる信号スピードのばらつき過渡応答時の寄生容量によるバラツキという問題があった。

本発明の目的は、ゲート絶縁膜の基板内厚さばらつきに応じて、隣り合う信号側スイッチングTFTが膜厚差の小さい領域になるよう配置することにある。

膜厚差分のスピード差が生じ、画素のラインむらができ、鮮明なディスプレイ画面が得られない。

本発明は、隣り合った信号用スイッチングTFTを膜厚ばらつき差の小さい個所にそれぞれ位置するようにパターンレイアウトすることにより、スイッチングスピードのばらつきを小さくする作用をする。

〔実施例〕

以下、本発明の一実施例を第1図及び第2図により説明する。

第1図は、100mm角、厚さ1.1mmの透明ガラス基板1上に、LCD用TFTエリア2を2対配置したパターンレイアウトを示す。3は信号側スイッチングTFT部、4は走査側周辺回路部、6は画素部である。信号側スイッチングTFT3には隣り合ったスイッチングTFT31、32、及び33、34がそれぞれ交互に左右のTFT部3に連結している。

第2図は、第1図のガラス基板上1に形成したゲート絶縁膜の面内分の一例を模式的に示してい

る。ここでは、常圧C O D法のモノシラン熱分解により形成しており、膜厚さは基板中心付近で約950Å、基板周辺(約10mm内側)で1050Åである。このような膜厚分布をもつ基板上に、第1図に示すようにTFTをレイアウトすることにより本発明が発揮される。すなわち、基板1のセンタを対象にして、隣り合った信号用スイッチングTFT 31, 32, 33, 34をそれぞれ左右のスイッチングTFT 3に配置され、これらが基板中心から等距離(31≒32, 33≒34)になるようにレイアウトする。

第3図は第1図のガラス基板から、LCD用TFTエリアを切り外したLCD用TFT基板の平面パターンを示す。信号側スイッチングTFT 3の左右には信号用外部FPCリード31を、走査側周辺回路部4にも同様にFPCリード41を接続している。

以上のような本実施例によれば、隣り合った信号用スイッチングTFTのゲート絶縁膜の膜厚ばらつきを最小におさえることができることから、

はLCD用TFT基板の配線模式図、第4図、第5図は本発明の一実施例の平面図を示す。

1…透明絶縁物基板、2…LCD用TFTエリア、3…信号用スイッチングTFT部、4…走査側周辺回路部、5…ゲート用SiO₂膜、6…画素部、31, 32, 33, 34…信号用スイッチングTFT、31, 41…FPCリード。

代理人 弁理士 小川勝男

隣り合った信号用スイッチングTFTのスイッチングスピードをほぼ同一に出き、さらに画素全体として一様にできることから、液晶ディスプレイの画質の鮮明なTFT基板を提供する効果がある。

第4図及び第5図は1つの基板内に4つの表示素子部を形成した場合の本発明の実施例を示す。少なくとも2つの信号側スイッチングTFT部を基板中心に対して同心円上に配置することで実施例1と同様の効果を有する。

〔発明の効果〕

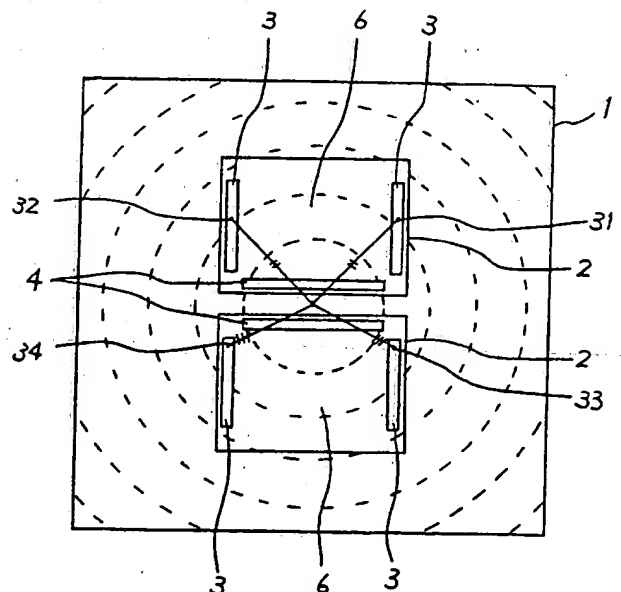
本発明によれば、液晶ディスプレイ用TFTの信号用スイッチングTFTのスイッチングスピードを一様化できるので、液晶ディスプレイの画素の線欠陥防止に効果がある。

本実施例によれば、線欠陥を従来の5%を1%以下に低減できる。

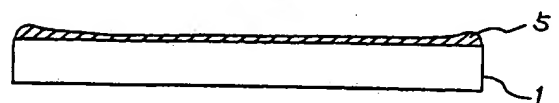
4. 図面の簡単な説明

第1図は本発明の一実施例の液晶ディスプレイ用TFT基板パターンレイアウト図、第2図はゲート絶縁膜の厚さ分布を示す断面模式図、第3図

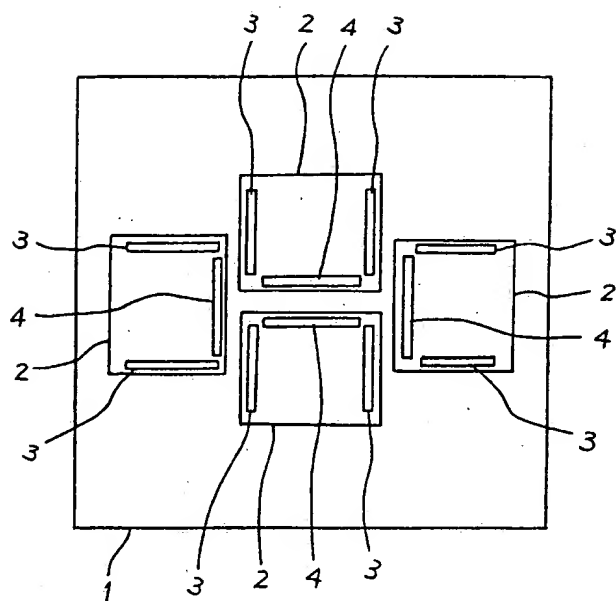
第1図



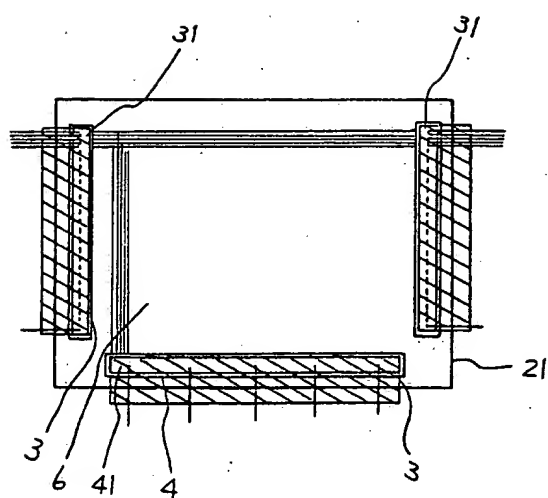
第2図



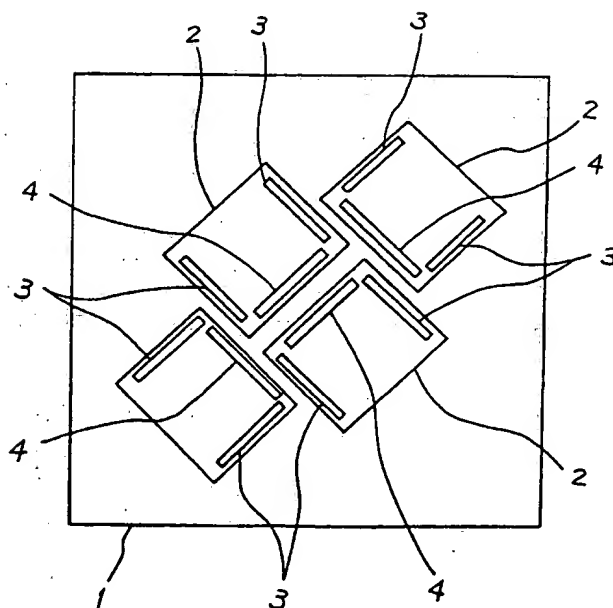
第 4 図



第 3 図



第 5 図



第1頁の続き

⑤Int. Cl.⁵

H 01 L 27/12
29/784

識別記号

A

庁内整理番号

7514-5F

⑦発 明 者 江 渡

正 容

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作
所家電研究所内